

EUROPEAN PATENT OFFICE**Patent Abstracts of Japan**

PUBLICATION NUMBER : 05291215
PUBLICATION DATE : 05-11-93

APPLICATION DATE : 15-04-92
APPLICATION NUMBER : 04121382

APPLICANT : MITSUBISHI MATERIALS SHILICON CORP;

INVENTOR : KANDA MASASHI;

INT.CL. : H01L 21/304 H01L 21/02

TITLE : SEMICONDUCTOR WAFER

ABSTRACT : PURPOSE: To increase the yield of the wafer by a method wherein the surface roughness of the surface of the wafer part is set at $0.07\mu\text{m}$ or less in Ra value (center line average height).

CONSTITUTION: An etchant is supplied to a stacked body of a plurality of silicon wafers; the surface of its chamfered part is brought into contact with the etchant. The time of this contact is set normally at about 30 to 120 seconds. For example, an etchant within a range of $\text{HF}:\text{HNO}_3=1:2$ to 5 is used as the etchant. As a result, the chamfered part of the silicon wafers is etched sufficiently, and the surface roughness of its etched face is set to $0.07\mu\text{m}$ or lower in an Ra value (central-line mean value). Thereby, it is possible to reduce that a slip is caused due to the thermal stress of semiconductor wafers.

COPYRIGHT: (C)1993,JPO&Japio

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-291215

(43) 公開日 平成5年(1993)11月5日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/304	3 0 1 B	8728-4M		
21/02	B			

審査請求 未請求 請求項の数1(全 3 頁)

(21) 出願番号 特願平4-121382

(22) 出願日 平成4年(1992)4月15日

(71) 出願人 000006264

三菱マテリアル株式会社
東京都千代田区大手町1丁目5番1号

(71) 出願人 000228925

三菱マテリアルシリコン株式会社
東京都千代田区岩本町3丁目8番16号

(72) 発明者 宮入 広雄

東京都千代田区岩本町3丁目8番16号 三
菱マテリアルシリコン株式会社内

(72) 発明者 神田 真史

東京都千代田区岩本町3丁目8番16号 三
菱マテリアルシリコン株式会社内

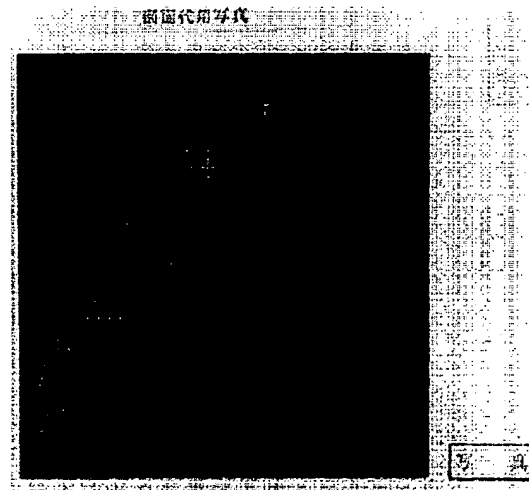
(74) 代理人 弁理士 桑井 清一 (外1名)

(54) 【発明の名称】 半導体ウェーハ

(57) 【要約】

【目的】 スリップの発生を低減し、ウェーハの歩留まりを高める。

【構成】 シリコンウェーハの面取部表面における表面粗さをRa値(中心線平均値)で0.07 μ m以下とする。シリコンウェーハの周縁を研削加工した面取部にフッ硝酸のエッチングを施し、面取部の表面粗さを上記値とする。



【特許請求の範囲】

【請求項1】 周縁に面取部を有する半導体ウェーハにおいて、

上記面取部表面における表面粗さをRa値（中心線平均値）で0.07 μ m以下としたことを特徴とする半導体ウェーハ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は面取部を有する半導体ウェーハ、例えばシリコンウェーハの周縁の面取部をエッチングして面取部加工層を除去し、かつ、面取部表面を平滑にしたシリコンウェーハに関する。

【0002】

【従来の技術】 引き上げられたシリコン単結晶棒は、円筒研削後、内周式ダイヤモンドスライサを用いて円板状に薄く輪切りにされ、シリコンウェーハが形成される。そして、このシリコンウェーハの周縁の角部は、ダイヤモンド砥石を用いた研削等により機械的に除去されて、その周縁部には丸みが形成される（面取り）。この面取りは、例えばエピタキシャルウェーハにあってはその後のエピタキシャル成長時にそのウェーハの周縁が異常成長する（クラウン発生）ことを防止し、また、搬送時の衝撃でシリコンウェーハの周縁が欠ける（チップング）ことを防ぐために行われている。この結果、このシリコンウェーハの周縁の面取部には、ダイヤモンドスライサによる切断歪またはダイヤモンド砥石による研削歪が発生していた。

【0003】 そこで、この歪を除去するために、従来、特開平2-15628号公報に示すように面取エッチングが行われていた。

【0004】

【発明が解決しようとする課題】 しかしながら、このようなエッチング後のシリコンウェーハにあっては、その面取部の表面には若干の凹み（面粗れ）が生じていた。そして、このシリコンウェーハにデバイス構築用の成膜及び熱処理を施し、例えば引張応力が加わると、この凹みの部分に応力集中が発生した。逆にシリコンウェーハに圧縮応力が加わると、主平面とエッチング面との境部に応力集中が起こった。この応力集中によって凹みまたは境部が転位、スリップ等の発生源になる。スリップの発生はウェーハが割れ始めているということであり、更に電氣的に活性な不純物を吸収し、リーク不良の原因となり易い。このため、シリコンウェーハ1枚当りのデバイス製品の歩留まりが低下した。

【0005】

【課題解決のための知見】 そこで、発明者はウェーハ面取部の表面粗さとスリップ発生との関係について鋭意実験を行うことにより、その面取部の加工層を十分に除去した上でその表面粗さが一定値以下の場合にスリップ密度が低減するという知見を得た。

【0006】 そこで、本発明は、スリップの発生を低減した半導体ウェーハを提供することを、その目的としている。

【0007】

【課題を解決するための手段】 本発明は、周縁に面取部を有する半導体ウェーハにおいて、上記面取部表面における表面粗さをRa値（中心線平均値）で0.07 μ m以下としたものである。

【0008】

【実施例】 以下、本発明に係るシリコンウェーハの実施例について説明する。本実施例は、例えばMOSIC用シリコンウェーハについて面取エッチング方法を適用した場合を示している。このシリコンウェーハは、略円柱状のシリコン単結晶棒をその結晶軸に直交する面に沿って、ダイヤモンドスライサを用いて円板状に薄く輪切りにすることにより形成したものである。このシリコンウェーハの一部には、オリエンテーションフラット（OF）加工が施される。次いで、シリコンウェーハの周縁の角部を、ダイヤモンド砥石の研削等により機械的に除去し、丸みを形成している。このシリコンウェーハを複数枚積層して面取りエッチングを施す。

【0009】 まず、シリコンウェーハと塩化ビニール樹脂製のスペーサとを交互に複数枚重ね合わせ、かつ、シリコンウェーハのオリエンテーションフラット部を揃えた状態で、この積層体を把持する。この複数のシリコンウェーハの積層体にエッチング液を供給することにより、その面取部の表面をエッチング液に接触させる。この場合、塩化ビニール製スペーサを使用せず、シリコンウェーハを積層させた場合にも面取り面エッチングは可能である。この接触時間は、エッチング液の濃度、表面張力、または、エッチング速度等によって決定されるが、通常30～120秒程度とする。エッチング液としては例えば、HF：HNO₃＝1：2～5の範囲のものを使用する。次いで、純水を供給し、シリコンウェーハのエッチング面に付着したエッチング液の残液を除去する。そして、シリコンウェーハを一定時間水切りし、乾燥させる。

【0010】 この結果、シリコンウェーハの面取部は十分にエッチングされており、そのエッチング面の表面粗さはRa値（中心線平均値）で0.07 μ m以下となっている。図1～図4は本発明の実施例に係るシリコンウェーハの面取部表面を示す写真である。図1および図3については上記面取りエッチングを施したものである。図2、図4は比較例としてのものである。図1～図4についてそのシリコンウェーハの面取り部の面粗さの測定は以下の方法により行っている。すなわち、非接触式表面粗さ計、例えばチャップマン・インストルメント社製HP2000によりシリコンウェーハの面取り部先端のRa値を測定する。その際、シリコンウェーハの円周方向に対し1～5mmの範囲（この実施例では2.5mm

3

の範囲)を測定範囲とし、かつ、波長 $500\mu\text{m}$ のカットオフフィルタを併用し、グラフのスムージングを実行し、測定した。

【0011】このように図1、図3に示すシリコンウェーハの面取り部の表面粗さをRa値で $0.07\mu\text{m}$ 以下に設定し、このウェーハの熱処理時のスリップの発生に対する強度を調べる目的で、熱応力を加えた場合、この面取り部では、例えば図1～図4に示すように、スリップの発生密度が低下している。図中白い部分がスリップを示している。図1、図3は表面粗さがRa値で $0.07\mu\text{m}$ 以下の場合、図2および図4は表面粗さがRa値で $0.23\mu\text{m}$ の場合である。図1、図2は同一の熱処理を施したものである。その条件は $1100^{\circ}\text{C}\times 1$ 時間、ウェーハの炉への出し入れ条件が $6\text{cm}/\text{分}$ である。また、図3、図4も熱処理を施したものである。その条件が $1100^{\circ}\text{C}\times 1$ 時間、ウェーハの炉への出し入れ条件

4

が $6\text{cm}/\text{分}$ の熱処理を2回実行し、前述の熱処理に対し、2倍の熱応力を加えている。。図1、図3は各熱処理後にX線トポグラフ法により、ウェーハのスリップの発生状況を調べたものである。

【0012】

【発明の効果】本発明によれば、半導体ウェーハの熱応力によるスリップの発生を低減することができる。

【図面の簡単な説明】

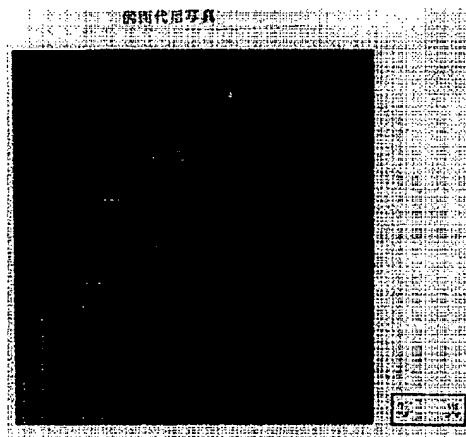
【図1】本発明の一実施例に係るシリコンウェーハの面取り部表面を示すX線トポグラフによる写真である。

【図2】本発明の比較例に係る図1と同一条件での写真である。

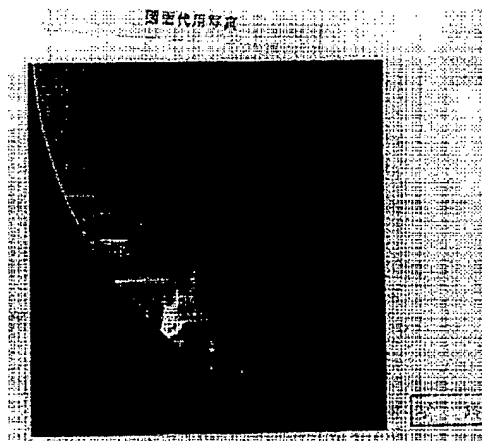
【図3】本発明の一実施例に係る図1と同様の写真である。

【図4】本発明の比較例に係る図3と同一条件での写真である。

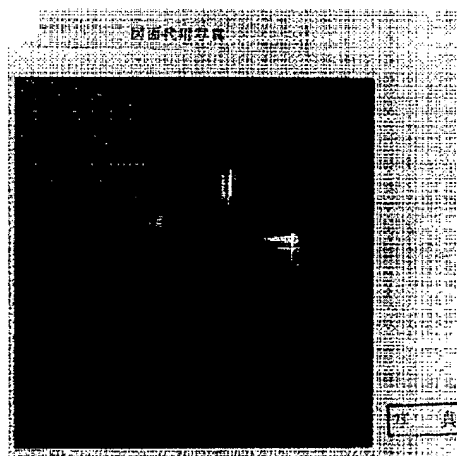
【図1】



【図3】



【図2】



【図4】

